

## 第2章 半導体デバイスの信頼性検証

# 2

## 第2章 半導体デバイスの信頼性検証

2.1 半導体信頼性の基礎知識 .....	2-2
2.1.1 信頼性を表す尺度 .....	2-2
2.1.2 信頼性解析に用いられる分布 .....	2-4
2.1.3 半導体デバイスの故障パターン .....	2-7
2.1.3.1 半導体デバイスの故障領域 .....	2-7
2.1.3.2 初期故障 .....	2-7
2.1.3.3 偶発故障 .....	2-9
2.1.3.4 摩耗故障 .....	2-10
2.2 半導体の信頼性検証 .....	2-12
2.2.1 信頼性検証の基本的な考え方 .....	2-12
2.2.1.1 開発段階における信頼性検証 .....	2-12
2.2.1.2 試作段階における信頼性検証 .....	2-12
2.2.1.3 量産段階における信頼性検証 .....	2-13
2.2.2 開発・設計段階の信頼性 .....	2-14
2.2.2.1 ゲート絶縁膜の経時破壊(TDDB) .....	2-15
2.2.2.2 ホットキャリア(HCI) .....	2-17
2.2.2.3 負バイアス温度不安定性(NBTI : Negative Bias Temperature Instability) .....	2-18
2.2.2.4 ソフトエラー .....	2-19
2.2.2.5 エレクトロマイグレーション .....	2-21
2.2.2.6 ストレスマイグレーション .....	2-23
2.3 加速モデル .....	2-26
2.3.1 環境ストレスにおける加速モデル .....	2-26
2.3.2 動作ストレスにおける加速モデル .....	2-28

## 2.1 半導体信頼性の基礎知識

近年、機器のシステム化、高機能、高性能化が進み、故障による社会的影響や損害の増大をきたすようになり、機器に対し、高い信頼性が要求されるようになってきました。このことは機器を構成する個々の部品一つ一つにさらに高い信頼性が要求されていることを意味します。

半導体は一つの機器に多くの数量が使用され、また機器の主機能を担うことが多く、より信頼性が重要となります。また、半導体そのものも微細化、高集積化が進み、より大規模な回路構成となり、また、高機能化、高性能化、システム LSI 化が進んでおり、半導体の信頼性確保がより重要となっています。

ここでは、半導体の信頼性を議論するうえで必要となる、信頼性の尺度、分布関数、故障率の時間的推移と故障領域について述べます。

### 2.1.1 信頼性を表す尺度

JISZ 8115「信頼性用語」では、信頼性とは、「アイテムが与えられた条件で規定の期間中、要求された機能を果たすことができる性質」と定義されています。したがって、信頼性とは時間を含んだ概念であり、その尺度は時間の関数となります。

#### (1) 信頼度関数（信頼度）：R(t)

信頼度とは、ある時間 t まで故障なく正常に機能する確率を示します。

n 個のサンプルを同じ条件で使用したとき、ある時間 t 経過するまでに発生した故障数を r(t) 個とすると、信頼度 R(t) は次式で表されます。

$$R(t) = \frac{n - r(t)}{n} \quad \dots \text{式 2.1.1}$$

#### (2) 故障分布関数（不信頼度）：F(t)

ある時間 t までに故障した確率を示し、次式で表されます。

$$F(t) = \frac{r(t)}{n} \quad \dots \text{式 2.1.2}$$

また、信頼度 R(t) との間には

$$R(t) + F(t) = 1 \quad \dots \text{式 2.1.3}$$

の関係が成り立ちます。

図 2-1 に示すように時間とともに R(t) は 1 から減少し、逆に F(t) は 1 に向かって 0 から増加していきます。なお、半導体デバイスの故障分布関数は、後述する分布関数が用いられます。

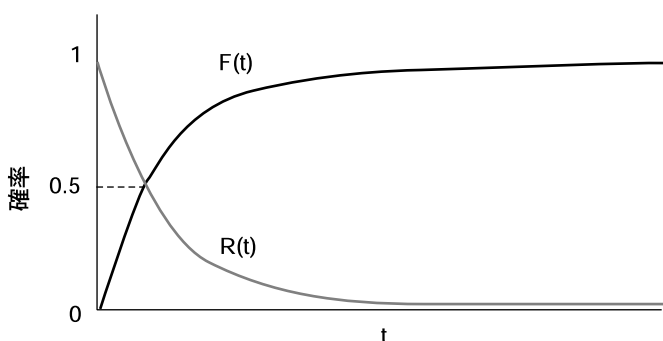


図 2-1 F(t)と R(t)の関係

**(3) 故障密度関数 :  $f(t)$** 

ある時間  $t$  経過したときの単位時間当たりの故障発生確率を表します。

$$f(t) = \frac{dF(t)}{dt} = -\frac{dR(t)}{dt} \quad \dots \text{式2.1.4}$$

**(4) 故障率関数 :  $\lambda(t)$** 

時間  $t$  が経過した時、故障していなかったサンプルが、次の単位時間に故障する割合を表します。

$$\lambda(t) = \frac{f(t)}{1-F(t)} = \frac{f(t)}{R(t)} \quad \dots \text{式2.1.5}$$

故障率関数は瞬間故障率とも呼ばれ、式 2.1.4、2.1.5 より、故障分布関数  $F(t)$  から算出され、その単位は、半導体デバイスでは FIT (Failure In Time :  $10^9$  総動作時間当たりの故障数) を用いるのが一般的です。

なお、対象製品の  $F(t)$  が既知でない場合には、次式の平均故障率を用います。

$$\text{平均故障率} \equiv \text{期間中の総故障数} / \text{期間中の総動作時間} \quad \dots \text{式 2.1.6}$$

**【補足】**

後述する初期故障領域では、上述で定義される故障率のほか、市場にて半導体デバイスが搭載されたセットが動作後、特定時間を経たときの累積故障率を用いることがあります。特にお客様からの要求がなければ、当社も 1 年後の累積故障率を初期故障率としています。

また、初期故障領域以降に関しては、多くの半導体デバイスは、実使用環境においては磨耗故障（真性故障）に至らず、その故障率は偶発故障領域の一定値を呈します。この値は、式 2.1.6 と同値となるため、実質的には平均故障率が、初期故障領域以降の故障率といえます。

**(5) 平均故障時間 : MTTF**

半導体デバイスのように、修理・保全を伴わないアイテムの平均故障時間 MTTF (Mean Time To Failure) は、次式で表されます。

$$MTTF = \int_0^{\infty} tf(t)dt \quad \dots \text{式 2.1.7}$$

## 2.1.2 信頼性解析に用いられる分布

半導体デバイスの信頼性データ解析に用いられる代表的な分布関数について説明します。

### (1) 正規分布

正規分布は、品質管理に使用される代表的な連続分布の一つです。信頼性解析では故障がある時点で集中的に発生する摩耗故障に適用されるといわれています。

確率密度関数  $f(t)$ 、および分布関数  $F(t)$ は次式で表されます。

$$f(t) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left\{-\frac{(t-\mu)^2}{2\sigma^2}\right\} \quad (-\infty < t < \infty) \quad \dots \text{式2.1.8}$$

$$F(t) = \frac{1}{\sqrt{2\pi}\sigma} \int_{-\infty}^t \exp\left\{-\frac{(x-\mu)^2}{2\sigma^2}\right\} dx \quad (-\infty < t < \infty) \quad \dots \text{式2.1.9}$$

この分布は、平均値を表すパラメータ  $\mu$  と分散（ばらつき）を表すパラメータ  $\sigma$  により与えられます。

下図 2-2 のように、 $\mu$  を中心に左右対称の釣鐘型となり、 $\mu$  の両側  $\pm\sigma$ 、 $\pm 2\sigma$ 、 $\pm 3\sigma$  の間に 68.26%、95.44%、99.7% の確率で  $t$  の値が含まれます。

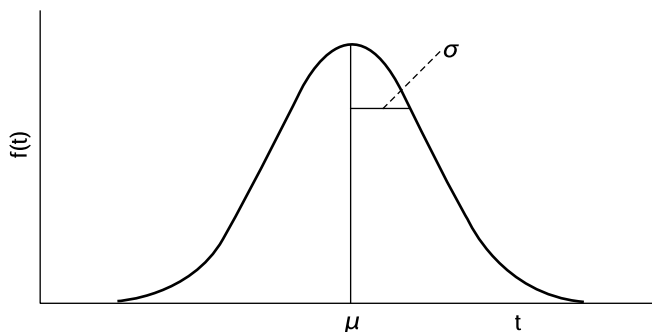


図 2-2 正規分布

### (2) 指数分布

指数分布は、故障率  $\lambda$  が時間に対し一定となる偶発故障領域の寿命分布（故障分布関数）に適用され、確率密度関数  $f(t)$ 、および分布関数  $R(t)$ は次式で表されます。この分布は、後述するワイブル分布において、形状パラメータ  $m=1$  の場合に相当します。

$$f(t) = \lambda e^{-\lambda t} \quad \dots \text{式 2.1.10}$$

$$R(t) = 1 - e^{-\lambda t} \quad \dots \text{式 2.1.11}$$

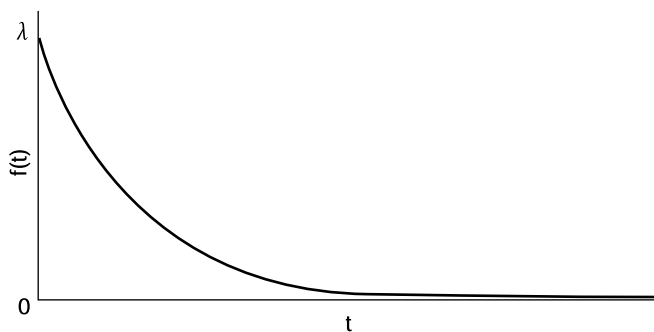


図 2-3 指数分布

なお、次式のとおり、故障率 $\lambda$ の逆数 $t_0$ からMTTFが与えられます。

$$1/\lambda = t_0 = MTTF \quad \dots\dots \text{式 2.1.12}$$

**(3) 対数正規分布**

対数正規分布は、寿命時間 $t$ の対数をとった $\ln t$ が上述の正規分布にしたがう分布関数です。確率密度関数 $f(t)$ 、分布関数 $F(t)$ は、次式で表されます。

$$f(t) = \frac{1}{\sqrt{2\pi}\sigma} \exp\left\{-\frac{1}{2}\left(\frac{\ln t - \mu}{\sigma}\right)^2\right\} \quad (0 < t < \infty) \quad \dots\dots \text{式 2.1.13}$$

$$F(t) = \frac{1}{\sqrt{2\pi}\sigma} \int_0^t \frac{1}{x} \exp\left\{-\frac{1}{2}\left(\frac{\ln x - \mu}{\sigma}\right)^2\right\} dx \quad \dots\dots \text{式 2.1.14}$$

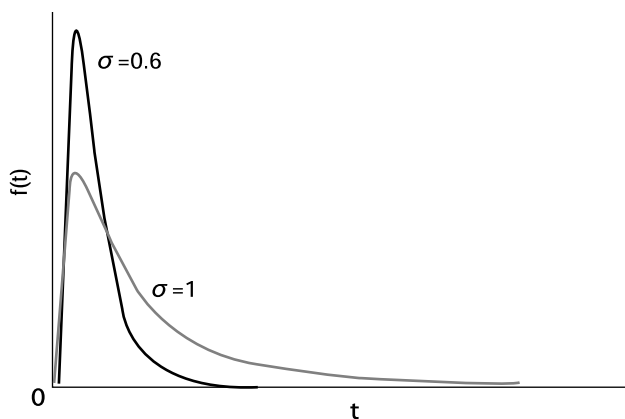


図 2-4 対数正規分布

半導体デバイスの信頼性においては、一般的にエレクトロマイグレーション寿命は、この対数正

規分布に従うことが知られています。

#### (4) ワイブル分布

ワイブル分布は、1939年にスウェーデンの **W.Weibull** によって機械の破壊強度分布として提案された最弱リンクモデルで、1955年に **J.H.K.Kao** が、真空管の寿命に適用したとされ、その後半導体デバイスの信頼性において寿命分布に多用されています。

確率密度関数  $f(t)$ 、および分布関数  $F(t)$ は次式で表されます

$$f(t) = \frac{m}{\eta} \left( \frac{t-\gamma}{\eta} \right)^{m-1} \exp \left\{ - \left( \frac{t-\gamma}{\eta} \right)^m \right\} \quad \dots \text{式 2.1.15}$$

$$F(t) = 1 - \exp \left\{ - \left( \frac{t-\gamma}{\eta} \right)^m \right\} \quad \dots \text{式 2.1.16}$$

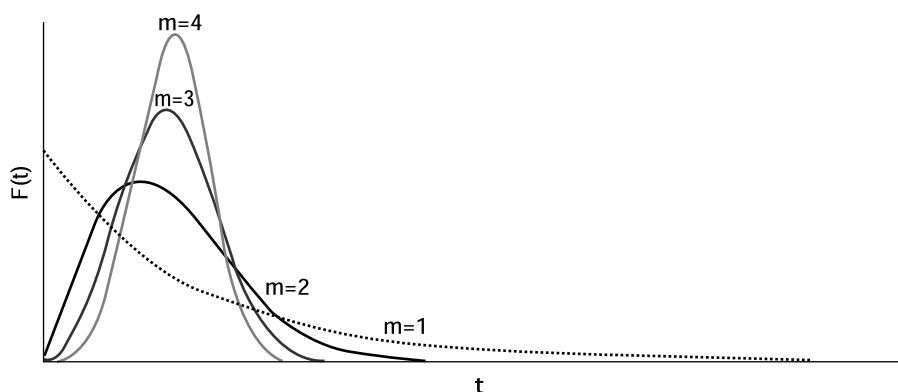


図 2-5 ワイブル分布

$m$  は形状パラメータ、 $\eta$  は尺度パラメータ（特性寿命）、 $\gamma$  は位置パラメータと呼ばれます。またここで、 $t_0 = \eta^m$  とすると、故障率  $\lambda(t)$  は以下の式で表されます。

$$\lambda(t) = \frac{m}{\eta} \left( \frac{t-\gamma}{\eta} \right)^{m-1} = \frac{m}{t_0} (t-\gamma)^{m-1} \quad \dots \text{式 2.1.17}$$

この形状パラメータ  $m$  の値からは以下のような故障パターンに関する情報を得ることができます。

- $0 < m < 1$  のとき 故障率が時間とともに減少する初期故障（DFR）型
- $m = 1$  のとき 故障率一定の偶発故障（CFR）型（指数分布と一致）
- $m > 1$  のとき 故障率が時間とともに増加する摩耗故障（IFR）型

## 2.1.3 半導体デバイスの故障パターン

### 2.1.3.1 半導体デバイスの故障領域

図 2-6 に示すように、半導体デバイスの故障領域は、一般の電子機器と同様に初期故障、偶発故障、摩耗故障領域の 3 つの領域に分類され、故障率の時間推移はいわゆるバスタブカーブと呼ばれる曲線を描きます。

この曲線は、時間とともに単調減少する初期故障率、一定値を示す偶発故障率、および単調増加する摩耗故障率の和によるものです。但し、半導体デバイスの場合、後述のとおり偶発故障は発生確率が小さいソフトウェアのみと考えられ、偶発故障領域の故障率（バスタブカーブの底の高さ）は、初期故障率の収束する領域と摩耗故障率の立上り領域の故障率の和が支配的といえます。

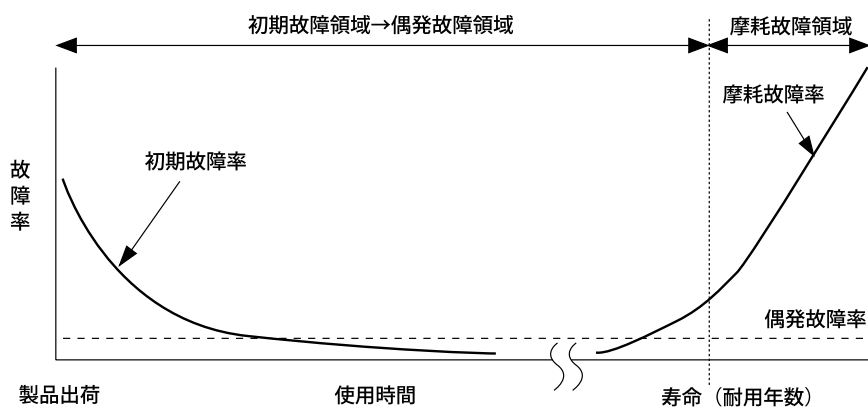


図 2-6 半導体デバイスの時間経過に対する故障率変化

### 2.1.3.2 初期故障

初期故障期の故障率は EFR (Early Failure Rate) と呼ばれ、時間経過に対して故障率が単調減少します。半導体デバイスの初期故障は、主にウェーハプロセス中にデバイスに作り込まれた欠陥に起因するものが大半を占めます。欠陥を生じさせる原因として最も多いものは、ウェーハ工程内でのダスト付着による欠陥と、ゲート酸化膜や Si 基板中の結晶欠陥などがあげられます。製造プロセスに起因する欠陥を含んだデバイスは、そのほとんどが製造工程内で故障となり最終選別工程で不良として取り除かれますが、比較的軽微な欠陥を含んだデバイスは、ある確率で最終測定時には故障に至らずに、測定に合格して製品として出荷されてしまうことがあります。このように初期からデバイス内に欠陥を内在したデバイスは、比較的短期間のストレス印加（電圧、温度など）により故障に至る場合が多く、お客様の実装工程内や製品として出荷された後の初期段階において故障となり、短期間で高い故障率を示します。しかし、これら欠陥を内在したデバイスは、時間の経過とともに故障して取り除かれるため、初期故障の発生率は減少していきます。



半導体デバイスでは、故障率が時間経過とともに減少するという性質を利用して出荷前の段階で短時間のストレスを印加し、初期欠陥を含んだデバイスを取り除くバーンインといわれるスクリーニングを行うことができます。バーンインにより初期欠陥を内在したデバイスがある程度取り除かれた製品群は、市場における初期故障率が改善されるだけでなく、摩耗故障領域に入らない限り長期にわたって高い品質を維持することができます。

以下、バーンインについて概要を説明します。

### (1) 初期故障期の故障分布関数の導出

初期欠陥を内在したデバイスを確実に除去するバーンインの条件を決定するために、初期故障期の故障分布関数を求める必要があります。

そのために、初期欠陥を内在したデバイスが含まれる規模（通常数千～1万個程度）の大量サンプルを用いた高加速寿命試験を短時間実施して、得られた故障時間データをワイブル確率紙にプロットし、その回帰直線から故障分布関数を推定します。

図 2-7 は、その例を示したもので、直線に回帰したことにより、次式のワイブル分布を決定する形状パラメータ  $m$  と特性寿命  $\eta$  が得られます。

$$F(t) = 1 - \exp\left\{-\left(\frac{t}{\eta}\right)^m\right\} \quad \dots \text{式 2.1.18}$$

なお、故障分布関数を求めるこの手法は、バーンインスタディ（burn-in Study）と呼ばれています。

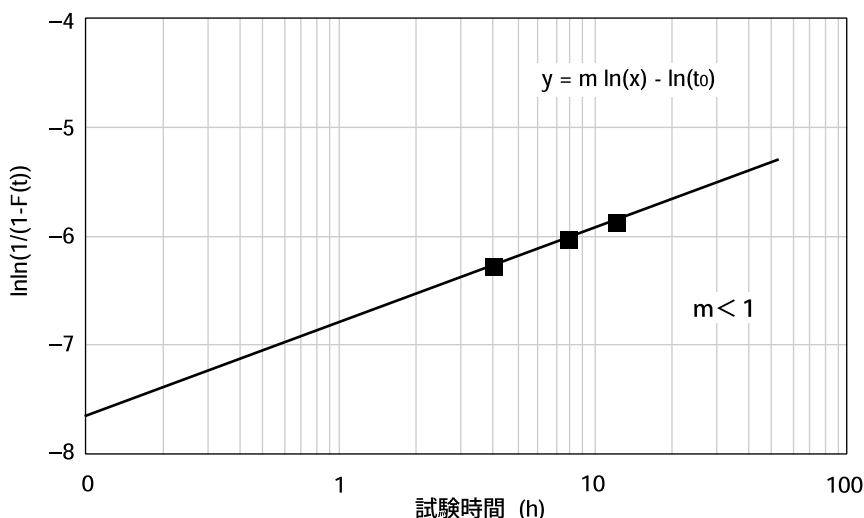


図 2-7 バーンインスタディのワイブルプロット

注) ワイブル確率紙は、故障時間がワイブル分布に従う場合、それらが直線に回帰するよう工夫されている。

## (2) バーンイン条件の決定

バーンインスタディにより得られた故障分布関数  $F(t)$  を用いて、出荷後の初期故障率（注 1）を目標の値に低減するために必要なスクリーニング（バーンイン）条件を決定することができます。

バーンイン時間を  $t_0$  とし、バーンイン条件と市場環境との加速係数を  $K$  とすると、バーンインで取り除くことができる累積の初期故障率は  $F(K \cdot t_0)$  で求められ、バーンイン実施後  $t$  時間経過した時点までに新たに発生する累積の初期故障率  $F(t)$  は、以下の式で求めることができます。

$$F(t) = F(K \cdot t_0 + t) - F(K \cdot t_0) \quad \dots \text{式 2.1.19}$$

この関係を図に示すと、図 2-8 のようになります。

バーンイン条件は、この値を目標とする初期故障率以下になるような加速条件と時間の組み合わせによって選択されます。通常、初期故障の原因となる初期欠陥の発生率はプロセス開発初期に最も高くなり、工程改善とプロセスの習熟にしたがって低下していきます。初期故障率は、この初期欠陥の発生率に比例して減少していきますので、工程改善に合わせてバーンイン時間の見直しが適時実施されます。

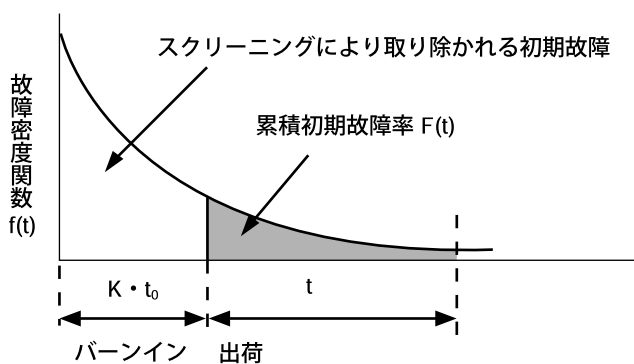


図 2-8 バーンインによる初期故障のスクリーニング

注 1) この項における初期故障率は、瞬間故障率ではなく、特定の期間における累積故障率です。

“2.1.1 信頼性を表す尺度”の【補足】参照

### 2.1.3.3 偶発故障

初期に欠陥を含んだデバイスがある程度取り除かれると、初期故障の発生率がわずかになるため、故障率は時間経過に対して緩やかな低下を示すようになります。この状態になると、故障分布は指数分布に近い状態になり、これを偶発故障期と呼ぶことがあります。半導体デバイスにおけるこの時期の故障率は、出荷直後の初期故障率に比べて非常に小さい値になるため、通常はほとんど無視できるレベルになります。半導体デバイスでは、故障メカニズムの観点からみると明確に偶発故障と定義できるものはほとんどありませんが、 $\alpha$ 線などの高エネルギー粒子によるメモリのソフトエラーなどの現象が、偶発的に発生する故障メカニズムに分類されることがあります。

半導体デバイスの故障率予測では、使用開始からある程度長時間経過した時点で単発的に発生する故障や、故障原因を特定できないような故障を偶発故障として扱っているケースがありますが、それら故障の大部分は比較的軽微な初期欠陥（ダストや結晶欠陥）を含んだデバイスが、長い時間を経て故障に至ったもので、本来は初期故障率の減衰曲線上に位置するものであると考えられます。このような故障の発生率は、信頼性試験のような少数サンプルの試験結果から推定することはできません。また、静電破壊、過電圧（サージ）破壊（EOS）、ラッチアップなど、使用状態で偶発的に発生する現象がありますが、このような現象はいずれもデバイスの絶対最大定格を超える過度なストレスが印加されたことによって発生するもので、故障ではなく破壊に分類されるため、偶発故障率の対象にはなりません。

#### 2.1.3.4 摩耗故障

摩耗故障は、半導体デバイスを構成する材料やトランジスタ、配線、酸化膜などの要素が持つ耐久性に起因する故障で、デバイスの寿命（耐用年数）を決める指標となります。摩耗故障領域では、故障率が時間経過にしたがって増加し、最終的にはすべてのデバイスが故障あるいは特性不良に至る期間を指します。

以下に、主な半導体デバイスの摩耗故障メカニズムを示します。

- ・エレクトロマイグレーション
- ・ホットキャリアによる特性変動
- ・絶縁膜経時破壊（TDDB）
- ・レーザダイオードの輝度劣化

半導体デバイスの寿命は、摩耗故障モードの累積故障率が規定の値に達する時間（またはストレス）で定義され、信頼性試験やTEG（Test Element Group）の評価結果を用いて推定することができます。

半導体デバイスの寿命は、デバイスを構成する要素（配線、酸化膜、層間膜、トランジスタなど）ごとの信頼性で決まるものが多く、これらの信頼性はプロセス開発段階で要素単体のTEGを用いて評価します。TEGの評価で得られた結果は、設計ルールに対してストレスの許容限界（電界強度、電流密度など）という形で盛り込まれることにより、製品段階での摩耗故障の発生を抑制し、長期信頼性を確保しています。このため、半導体デバイスでは製品段階での信頼性試験の時間（ストレス）範囲で摩耗故障が発生することはほとんどありません。

##### (1) 寿命推定方法

TEG 評価や信頼性試験により発生した摩耗故障データにもとづく寿命は、時間経過における累積故障率をワイブル確率分布や対数正規確率分布を用いて直線回帰させ、基準となる累積故障率に達する時間（またはストレス）と加速試験条件の加速倍率を用いて求めることができます。（図 2-9）

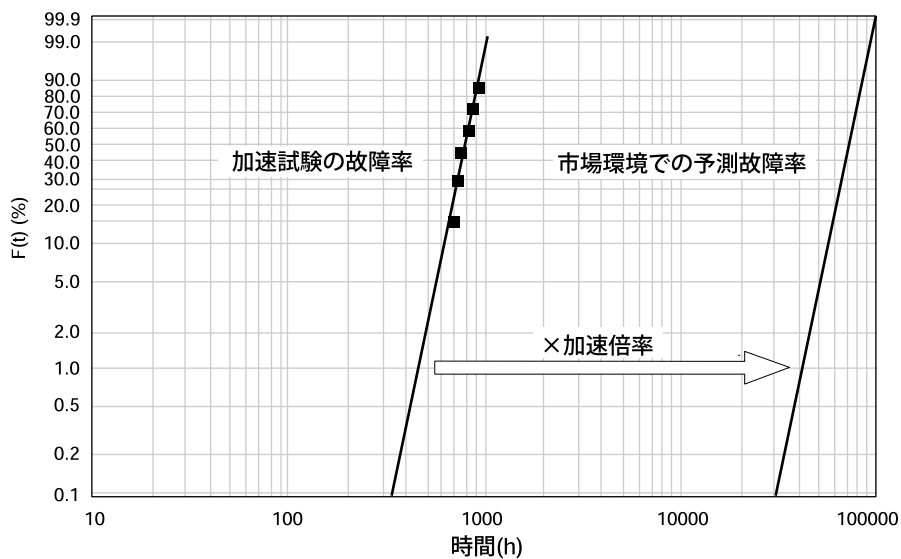


図 2-9 ワイブル確率紙を用いた故障率予測方法

## 2.2 半導体の信頼性検証

### 2.2.1 信頼性検証の基本的な考え方

当社では、プロセス開発から量産までの各段階において、半導体デバイスの故障モード（図 2-10 参照）を考慮した信頼性検証を行っています。

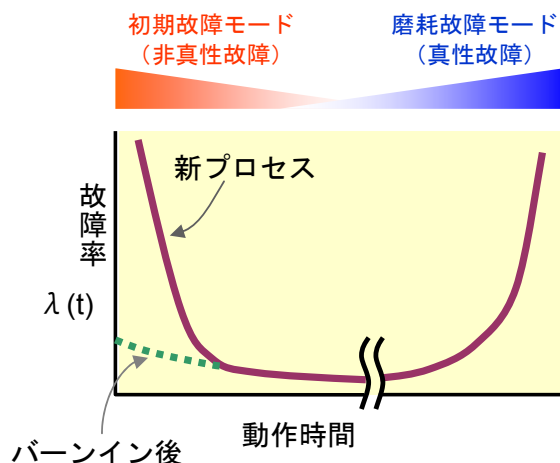


図 2-10 半導体デバイスの故障率曲線

#### 2.2.1.1 開発段階における信頼性検証

半導体デバイスの磨耗故障（＝真性故障）による故障時間、いわゆる寿命は、2.2.2 項で述べるプロセス要素の故障メカニズムによって決まります。

プロセス開発段階では、それら故障メカニズムを検証するのに適した TEG（Test Element Group）を用いて信頼性評価を行い、所定の信頼度を満たすことを確認しています。

#### 2.2.1.2 試作段階における信頼性検証

##### (1) 磨耗故障（真性故障）の信頼性検証

想定される使用環境および使用期間において、磨耗故障が生じないことを検証するために少量の試作品を用いて長時間の信頼性評価を行います。（表 2-1 参照）

##### (2) 初期故障（非真性故障）の信頼性検証

半導体デバイスは、動作初期に故障率が高く、時間の経過とともに単調減少する傾向があります。これは、ある割合で存在する、ダストなどの製造欠陥を内在した半導体デバイスが故障するためです。この傾向は新プロセスでより顕著になるため、その生産導入時には、バーンインスタディを行い、初期故障率を検証します。

所定の故障率を満足しない場合には、バーンインなどのスクリーニング手法を用いて、製造欠陥

を内在した半導体デバイスを除去します。

なお、当社では、継続的にプロセスの安定化および工程改善活動を実行し、製造欠陥を内在する半導体デバイスを減少させ、その結果バーンインを実施しなくても所定の初期故障率を満足するように努めております。

### **2.2.1.3 量産段階における信頼性検証**

開発段階につくり込まれた磨耗故障に関する信頼性レベルが、量産以降も継続的に維持されていることを確認するために量産品を抜取り\*、定期的に上述（1）に相当する製品レベルでの信頼性評価を行っています。

\* ウェーハプロセス、組立プロセスおよび製造場所などの組合せ考慮し、各製品ファミリーからサンプリング

表 2-1 に当社の代表的 LSI 製品の信頼性試験項目を示します。

表 2-1 当社の代表的 LSI 製品の信頼性試験項目

試験名	略号	試験条件
高温動作試験 High Temperature Operating Life	HTOL	$T_j \geq 125^\circ\text{C}$ Vop_max 1000h
低温動作試験 Low Temperature Operating Life	LTOL	$T_a = -55^\circ\text{C}$ Vop_max 1000h
高温高湿バイアス試験 Temperature Humidity Bias	THB	$T_a = 85^\circ\text{C} 85\%RH$ Vop_max On/Off 1000h
高温保存試験 High Temperature Storage	HTS	$T_a = 150^\circ\text{C}$ 1000h
温度サイクル試験 Temperature Cycling	TC	$T_s = -55 \sim 125^\circ\text{C}$ 700cyc $T_s = -40 \sim 125^\circ\text{C}$ 850cyc $T_s = -65 \sim 150^\circ\text{C}$ 500cyc
はんだ耐熱性 Moisture Sensitivity Level	MSL	Level-3(標準ランク) (J-STD-020)
静電破壊試験 HBM Electrostatic Discharge Human Body Model	ESD HBM	$C = 100\text{pF}$ , $R = 1500\Omega$ (JS-001-2014)
静電破壊試験 CDM Electrostatic Discharge Charged Device Model	ESD CDM	デバイス帯電モデル (JESD22-C101)
ラッチアップ試験 電流注入法 Latch-Up Trigger Pulse Current Injection Method	LU I-Test	トリガパルス電流注入法 (JESD78)
ラッチアップ試験 電源過電圧法 Latch-Up Supply Overvoltage Method	LU V-Test	電源過電圧法; $T_a = 25, 125^\circ\text{C}$ (JESD78)
バーンインスタディ Burn-In Study (Early Life Failure Rate)	BIS (ELFR)	$T_j \geq 125^\circ\text{C}$ , Vop_max

## 2.2.2 開発・設計段階の信頼性

半導体デバイスには、半導体特有の故障メカニズムが存在しており、プロセス開発段階でこの問題を解決することが信頼性を確保する上で重要な要素となります。各プロセス要素開発の段階で、必要な信頼性を検証し設計ルールに反映させることで安定して製品の信頼性を確保することができます。

表 2-2 に、プロセス開発段階で問題となる代表的な故障メカニズムを示します。プロセスが微細化するに連れ、内部電界、電流密度、配線応力の増加などトランジスタや配線にかかるストレスは増加する一方、回路の高速化や寄生インピーダンス（配線抵抗、寄生容量）の増加による動作マージンの低下により、トランジスタの特性変動に対する信頼性の確保が大きな課題となっています。

ここでは、プロセス開発・設計段階で問題となる、半導体デバイスの代表的な故障メカニズムについて記述します。

表 2-2 プロセス開発段階の代表的な故障メカニズム

プロセス要素	故障メカニズム	故障モードと発生要因
ゲート絶縁膜	酸化膜経時破壊 (TDDB)	ゲート絶縁膜の絶縁破壊。ゲート電極に長時間バイアスを印加することでゲート絶縁膜中に欠陥が生成し、微少リーク電流の増加や絶縁破壊に至る現象。
トランジスタ	ホットキャリア (HCI)	ゲート絶縁膜へのホットキャリアトラップによるトランジスタ特性変動。高電界で加速された電子の電離衝突で発生する高エネルギーの電子・正孔が酸化膜中に捕獲されてトランジスタ特性が変動する現象。
	NBTI (スロートラップ)	ゲート負バイアス (NBT) 印加による PMOS トランジスタの特性変動。スロートラップ現象とも呼ばれ、高温でバイアスを印加すると界面準位と正の固定電荷が増加してトランジスタ特性が変動する現象。
メモリ素子	ソフトエラー	高エネルギー宇宙線粒子 (中性子線、陽子線など)、 $\alpha$ 線などによるメモリデータの誤書換え。主に DRAM、SRAM で発生する一時的なデータのエラー現象。
	リテンション/ディスターブ	不揮発性メモリのデータ消失。フラッシュメモリでは、長期の保存/動作環境ストレス (読み出し/書き込み電界、温度、応力) により捕獲電荷が消失してデータが反転する現象。
配線	エレクトロマイグレーション	配線中のボイド発生による配線抵抗の増加と断線。電子と金属原子の物理的な衝突により金属原子が移動してボイドが発生する現象。
	ストレスマイグレーション	配線応力による金属のクリープ現象で配線および接続 (ビア) 部分にボイドが成長してオープン不良となる。Cu 配線では、配線応力により Cu 配線中の欠陥 (原子空孔) がクリープ現象を起こしボイドが成長する現象。
Low-k 層間膜	配線間 TDDB	Cu 配線間の絶縁破壊による短絡。主に、low-k 材を用いた層間絶縁膜の CMP 界面を介した絶縁破壊で配線間がショートする現象。

### 2.2.2.1 ゲート絶縁膜の経時破壊(TDDB)

MOS FET のゲート絶縁膜は、絶縁耐圧以下の電界を長時間印加していると絶縁膜が劣化して破壊に至る故障メカニズムがあり、絶縁膜の経時破壊 (TDDB : Time Dependence Dielectric Breakdown) と呼ばれています。ゲート絶縁膜の TDDB 寿命は、MOS 型半導体デバイスの長期信頼性を決める最も重要な故障メカニズムの一つです。ゲート絶縁膜厚の微細化限界を決める要因とされ、システム LSI ではロジック回路の電源電圧に応じた TDDB 寿命により、ゲート絶縁膜の膜厚が決まることもあります。

#### (1) ゲート絶縁膜の寿命分布

一般に、絶縁膜の経時破壊現象は欠陥に起因する初期故障と真性寿命の領域に分けられます。図 2-11 は、ゲート酸化膜 ( $\text{SiO}_2$ ) の TDDB 測定データをワイブル分布関数でプロットしたもので、初



期故障領域と真性寿命領域はワイブル分布の形状パラメータ（グラフの傾き）の違いで分類することができます。TDDB 寿命の短い初期故障領域に分布する絶縁膜は、市場で短時間に故障となる可能性がある欠陥を含んだ酸化膜で、初期故障率を下げるためには欠陥の発生率を抑制することが重要となります。

これに対し、真性領域はゲート絶縁膜に大きな欠陥を含まない膜本来の寿命を示す領域で、長期信頼性を保証するために必要な指標となります。実使用電圧での真性寿命は、高電界ストレス条件で加速した TDDB の評価結果から、電界加速モデルを用いて予測することができます。電界加速モデルには、膜厚や膜質に応じて E-model( $\tau \propto \exp(E)$ )や Power-law model( $\tau \propto E^{-n}$ )などが使われます。

(図 2-12 参照)

## (2) ゲート絶縁膜の破壊メカニズム

ゲート絶縁膜中には、ウェーハ工程で生じる微小な欠陥や不純物が多数存在しており、真性耐圧より低い電界（電源電圧）を印加した状態でも欠陥を介した微少なリーク電流が流れています。このリーク電流は、時間の経過と共に絶縁膜中に新たな欠陥を生成し、欠陥が蓄積されると絶縁膜の破壊に至ります。

薄膜ゲート絶縁膜の TDDB 破壊では、代表的な故障メカニズムとしてパーコレーションモデルがあります。このモデルは、ゲート絶縁膜中に初期から存在する欠陥に加え、電界を印加することにより流れるトンネル電流で新たに生成される欠陥が、厚さ方向に連続することで絶縁破壊に至る故障モデルです。(図 2-13 参照)

ゲート絶縁膜の膜厚が薄くなると、より少ない欠陥数で絶縁破壊に必要な連続する欠陥が生じるため、TDDB の寿命ばらつきが大きくなります。また、フラッシュメモリでは破壊する前の微少リークにより、書き込みデータが消失（リテンション）する現象が起こります。

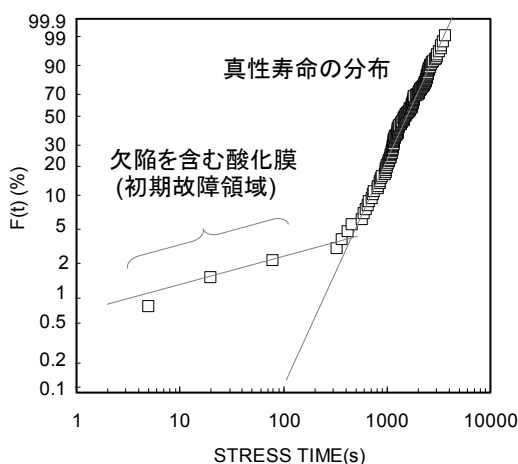


図 2-11 TDDB のデータ分布(ワイブル)

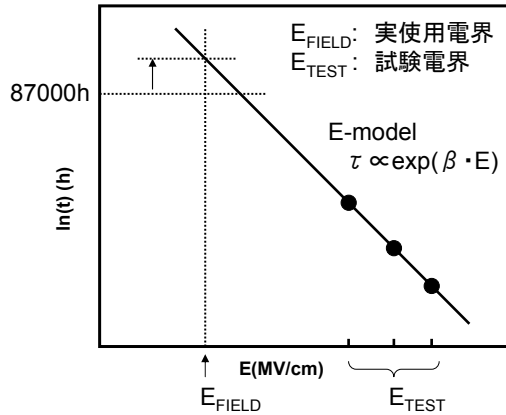


図 2-12 電界加速モデルと寿命予測

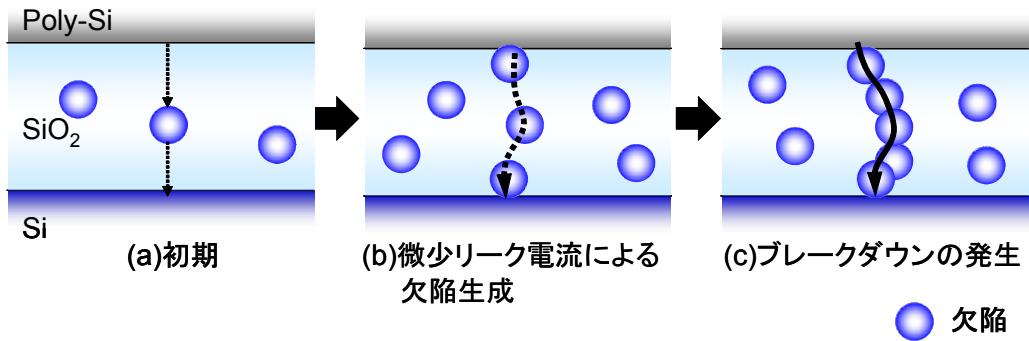


図 2-13 ゲート絶縁膜の故障モデル（パーコレーションモデル）

### 2.2.2.2 ホットキャリア(HCI)

ホットキャリアは、主に MOS FET 内で電界により加速され高エネルギーを持った電荷（キャリア）が、ゲート絶縁膜中に捕獲されトランジスタ特性が変動し回路の動作不良を起こす故障メカニズムです。一般的な動作環境では、NMOS FET のチャネルを流れる電子がドレイン近傍の高電界により加速されて起こるドレイン・アバランシェホットキャリア（DAHC）注入が、最も大きなトランジスタの劣化を起こします。一方で、絶縁膜中に電荷を注入するホットキャリアのメカニズムを利用して、不揮発性メモリのデータ書き込みや消去に利用することもあります。

#### (1) ドレイン・アバランシェホットキャリア(DAHC)注入

NMOS FET のチャネルに流れる電子が、ドレイン近傍の高電界により加速されインパクトイオン化（電離衝突）を起こして電子-正孔対が発生し、そのうちの高エネルギーを持つキャリア（ホットキャリア）がゲート絶縁膜中に注入・捕獲されて起こるトランジスタの特性変動（しきい値変動、ドレイン電流低下など）を、ドレイン・アバランシェホットキャリア（DAHC）注入といいます。（図 2-14 参照）

DAHC 注入は、NMOS FET では主に電子の注入が支配的で、ゲート電圧が約  $1/2 \cdot V_{DS}$  の条件で劣化が最大となります。このため、CMOS 回路では信号の反転時 (H→L/L→H) にホットエレクトロンの注入が起こり、回路を動作させることで劣化が進行します。

この問題を回避する方法として、回路設計段階ではホットキャリアが発生しにくい動作条件 (電圧、Duty) を選択する、また回路に必要な動作マージンを持たせることで信頼性を向上させることができます。デバイスの対策では、ドレイン近傍の電界を緩和してホットキャリアの発生を抑えるデバイス構造 (LDD 構造) を採用するなどの対策を行ないます。

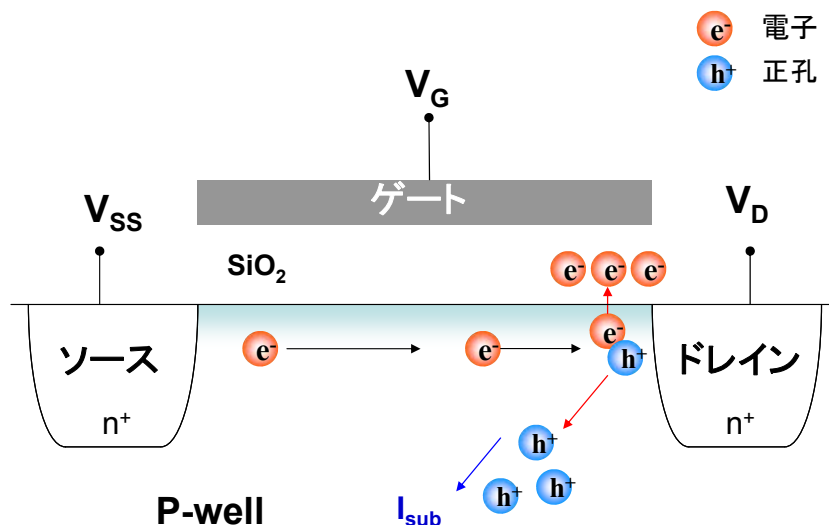


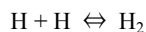
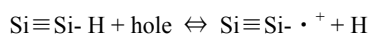
図 2-14 DAHC のメカニズム

### 2.2.2.3 負バイアス温度不安定性(NBTI : Negative Bias Temperature Instability)

PMOS FET の負バイアス温度不安定性 (NBTI) は、PMOS FET に負のゲートバイアスを印加しているとトランジスタの特性変動が起こる現象で、スロートラップといわれるトランジスタの劣化メカニズムの一つです。先端 MOS プロセスの PMOS FET では、表面チャネル型のトランジスタを採用することで劣化が増大し、ホットキャリアと並ぶトランジスタの信頼性問題となっています。

#### (1) NBTI の劣化メカニズム

PMOS FET に負バイアスを印加すると、Si 表面の正孔が Si-SiO<sub>2</sub> 界面の Si-H 結合に捕獲され、Si-H 結合から水素(H)が解離して界面準位を生成します。Si 結合から解離した水素は、ゲート絶縁膜中を拡散して捕獲され正の固定電荷を生成することでトランジスタ特性の劣化が進行します。



Si-ゲート絶縁膜界面に生成した界面準位は、PMOS FET の動作時には正電荷を捕獲して正に帯電し、絶縁膜中に生成した正の固定電荷と共にトランジスタのしきい値電圧( $V_{th}$ )の変動やドレイン電

流の低下をもたらします。

NBTI は、ゲートに負バイアスが印加されているとトランジスタ動作に関係なく劣化が起るため、動作していない回路でも劣化が進行するという特徴があります。一方で、負バイアスストレスが印加されないと変動した特性が急速に回復する現象があり、動作状態では変動量がほとんど動作周波数に依存しないことがわかっています。プロセス条件では、NBTI の劣化量とゲート絶縁膜中の不純物 (N,H,B など) 濃度やプロファイルに密接な関係があり、特に窒素(N)を多く含むゲート絶縁膜 (SiON、SiN) では劣化量が大きくなります。

この問題を回避する方法として、設計ではトランジスタの劣化を考慮して回路動作にマージンを持たせる、またゲート絶縁膜にかかる電界を低下させるなどの対策があります。デバイスでは、界面準位や固定電荷が生成しにくいゲート絶縁膜を形成するなどの対策が取られています。

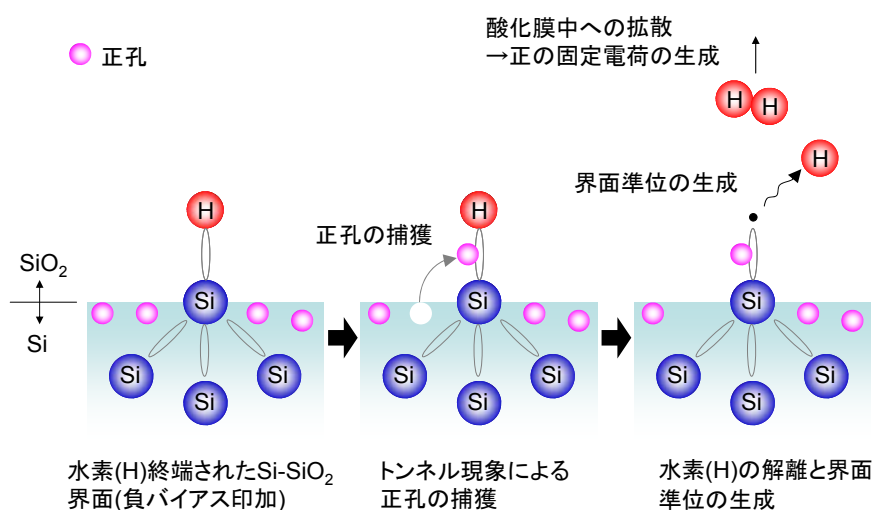


図 2-15 NBTI の故障メカニズム

### 2.2.2.4 ソフトエラー

メモリ素子などの半導体デバイスでは、 $\alpha$ 線や宇宙線起因の高エネルギー中性子線などが入射することによって Si 結晶中で大量の電子-正孔対が発生し、その電荷によって記憶ノードが反転してメモリデータがエラーとなるソフトエラーという現象が発生します。ソフトエラーは、一時的にメモリや論理回路のデータが反転する現象で、データを再書き込みすることでエラーは回復します。以前は、DRAM で問題となった現象ですが、現在では SRAM でも信頼性上の問題とされています。

#### (1) $\alpha$ 線によるソフトエラーの発生原理

半導体の樹脂封止パッケージに使われている石英材料には、ごく微量な放射線元素 (ウラン：<sup>238</sup>U、トリウム：<sup>232</sup>Th) が含まれています。また、フリップチップで使用する鉛バンブには、ポロニウム (<sup>210</sup>Po)が含まれていることがあります。これらの放射線元素から放出された高エネルギーを持つ  $\alpha$ 線

は、Si 基板中に入射すると Si 中の飛程に沿って電子(e<sup>-</sup>)—正孔(e<sup>+</sup>)対を生成します。空乏層内で発生した電子は、電界によって n 拡散領域に移動して収集され、記憶ノード容量の電位低下が起こります。(図 2-16 参照)

図 2-17 に、SRAM メモリセルのソフトエラーメカニズムを示します。High 側の記憶ノードの電位がドライバトランジスタのしきい値よりも低下すると、Flip-Flop を構成する 2 つのインバータが同時に OFF になり、Flip-Flop は不安定状態となり誤動作を起こします。一般に、High 側の記憶ノードの電位(V<sub>h</sub>)はワード線が選択されると V<sub>cc</sub>-V<sub>th</sub> (ワードトランジスタのしきい値) に低下します。ワード線が非選択状態になると、メモリセルの負荷を通して充電され再び V<sub>cc</sub> に戻ります。この V<sub>cc</sub>-V<sub>th</sub> から V<sub>cc</sub> への回復時間が早いほど、すなわちメモリセルの負荷の電流供給能力が大きいほどソフトエラー耐性は向上します。

$\alpha$  線によるソフトエラー対策では、チップ表面に  $\alpha$  線を吸収するための保護膜を形成する、またパッケージ材料に含まれる放射性元素の含有量を下げた高純度のパッケージ材料を使用するなど、 $\alpha$  線の放出量を低減させる対策が取られています。

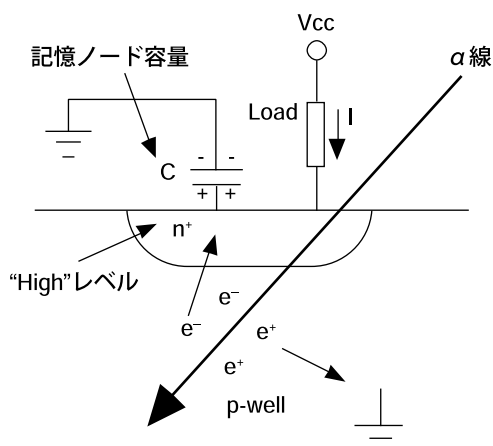


図 2-16  $\alpha$  線による電子-正孔対の発生

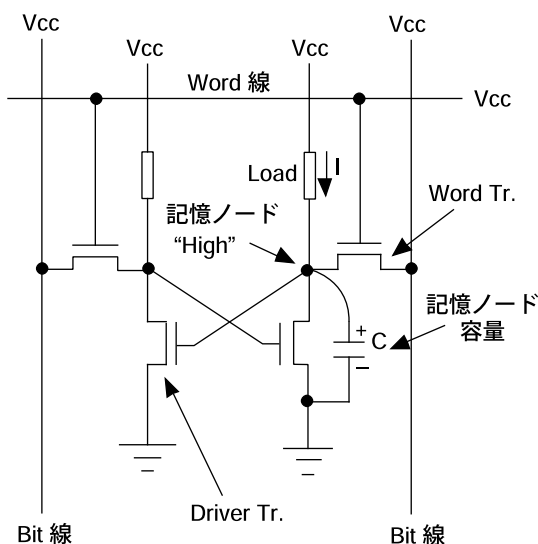


図 2-17 SRAM セルのソフトエラー

## (2) 宇宙線によるソフトエラー

高エネルギー宇宙線は、大気中で大気を構成する原子と衝突して高エネルギーの陽子や中性子を生成し、この高エネルギー中性子が Si 中を通過すると、飛程に沿って電子-正孔対を生成したり、Si 原子と衝突して核破砕反応により 2 次イオンを生成しソフトエラーの原因となります。宇宙線により発生する高エネルギー中性子は、地理的条件の違いや大気による遮蔽効果が低い標高の高い地域では、到達量が増加するためソフトエラー発生確率が上昇することが知られています。航空機や人工衛星などの用途では、より深刻な信頼性問題になることがあります。

宇宙線によるソフトエラー対策は、その発生要因を抑制することが困難なため、一定確率で発生する故障モードとして知られています。この対策として、SRAM ではエラー訂正コード (ECC : Error Correcting Code) を搭載してソフトエラーが発生したデータを訂正する方法が取られています。また、SOI 構造などソフトエラーの影響を受けにくいデバイス構造を採用することもあります。

### 2.2.2.5 エレクトロマイグレーション

エレクトロマイグレーションは、金属 (Al, Cu) 配線に流れる電子と金属原子が物理的に衝突して金属原子が移動し、配線中にボイドが発生して配線抵抗の増加や断線に至る故障メカニズムです。エレクトロマイグレーションは、配線の長期信頼性を決める重要な故障メカニズムです。

#### (1) Al 配線のエレクトロマイグレーション

アルミ(Al)配線に使われる薄膜は、スパッタリングにより形成することで Al 原子が多結晶 (グレイン) 構造で集積された状態になります。(図 2-18 参照) この配線に一定以上の電流を流すと、電

子と金属原子の衝突による応力で金属原子が物理的に移動するエレクトロマイグレーション現象が起こります。グレイン境界の金属原子は、結合エネルギーが小さいために移動しやすく、配線中にグレインサイズの不均一な部分があると、グレイン境界で起こるエレクトロマイグレーションによりグレイン境界に沿った形でボイドが成長して断線に至ります。（図 2-19、20 参照）

対策として、プロセスでは Al 配線の中に微量の Cu を添加して Al 原子の移動時間を遅らせて抑制したり、また配線の上下を Ti や W などの金属合金（バリアメタル）で覆って Al 原子の移動を抑制するなどの対策が取られています。回路設計では、配線に流す電流密度を一定値以下にするなどの対策が取られています。

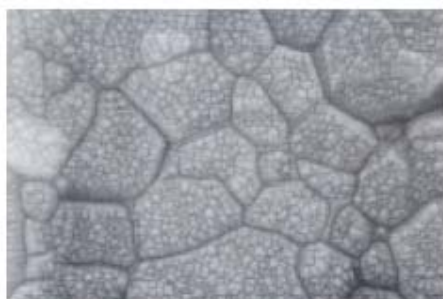


図 2-18 Al 配線のグレイン構造

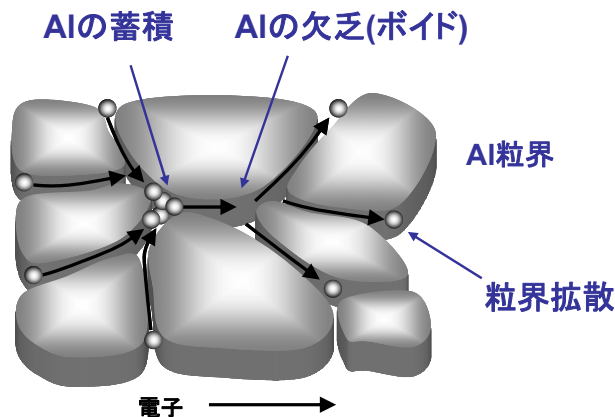


図 2-19 エレクトロマイグレーションのメカニズム

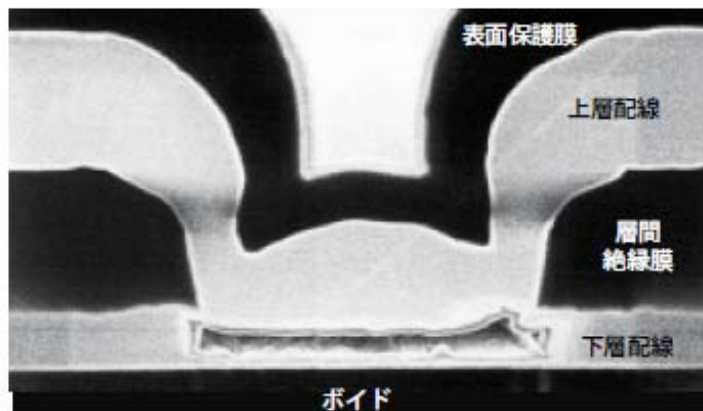


図 2-20 エレクトロマイグレーション写真

## (2) Cu 配線のエレクトロマイグレーション

Cu 配線は、電解めっきによる埋め込み配線（damascene）プロセスで形成され、Al 配線に比較して融点や活性化エネルギーが Al 配線より高く、エレクトロマイグレーションに対して Al 配線の数 10～数 100 倍の高い信頼性を示します。しかし、先端プロセスでは配線の微細化による電流密度の増加により、エレクトロマイグレーション耐性は信頼性上の重要な課題となっています。

Cu 配線の EM 耐性は、結晶の粒径や配向性、Cu/バリアメタル界面の密着性に大きく影響されることが知られています。とくに、周囲をバリアメタルで囲う構造を持つ Cu 配線は、平坦化を行う上面の Cu とキャップ層の密着性が低下すると界面の Cu が動き易くなり、マイグレーションを起こす原因となります。このため、プロセスでは Cu とキャップ層界面の密着性を向上させる対策が重要になります。回路設計では、配線に流す電流密度を一定値以下にするなどの対策が取られています。

### 2.2.2.6 ストレスマイグレーション

ストレスマイグレーションは、金属配線にかかる応力により金属原子がクリープ現象を起こして配線中にボイドが発生し、配線抵抗の増加や断線に至る故障メカニズムです。LSI に使われる金属配線（Al、Cu）には、製造プロセスの熱工程と使用環境温度との温度差により応力が発生します。この応力により、配線金属中の欠陥（Vacancy）がクリープ現象を起こして一箇所に集まりボイドを形成します。

ストレスマイグレーションは配線応力と金属原子のクリープ現象の相互作用で発生し、金属原子のクリープ速度が高温になるほど大きくなるのに対し、配線にかかる応力は高温になるほど緩和されて減少するため、ストレスマイグレーションが発生する温度にはピークがあることが知られています。

#### (1) Al 配線のストレスマイグレーション

Al 配線では、多結晶構造の粒界に欠陥や結合力の弱い Al 原子が多く存在するため、配線に引っ張り応力がかかると粒界の Al 原子や欠陥がクリープ現象を起こしてボイドが形成されます。引っ張り



応力により発生する Al 配線のボイドは、主に結晶粒界に沿って成長し配線の抵抗上昇や断線不良に至ることがあります。（図 2-21 参照）

Al 配線のストレスマイグレーションは、一般的に 150～200℃前後で発生率にピークを持つといわれ、高温環境で長時間使用するデバイスでは長期信頼性の問題となることがあります。

この対策として、設計では配線に過度な応力がかからないようなパターン設計を行ないます。プロセスでは、Al 配線の上下をバリアメタル（Ti、W など）で積層した配線構造を用いることで、ストレスマイグレーションの発生を防ぐことができます。また、応力を緩和する層間膜構造や熱工程の最適化により、配線の残留応力を低減させる対策を行ないます。

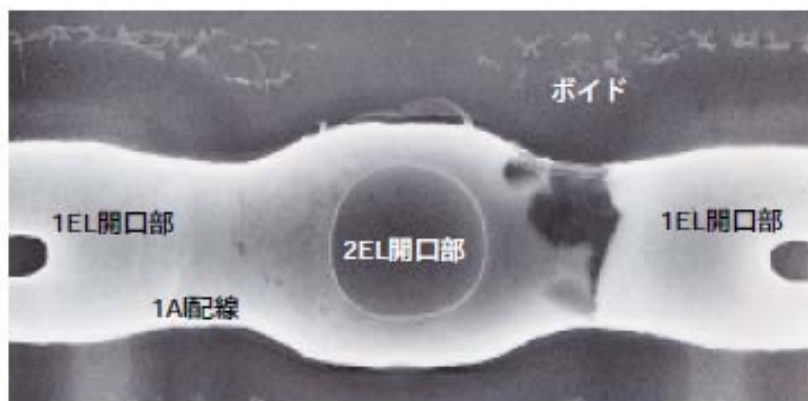


図 2-21 Al 配線のストレスマイグレーションによる断線不良

## (2) Cu 配線のストレスマイグレーション

Cu配線のストレスマイグレーションは、上下の配線間を接続するビア部分にボイドが発生するSIV（Stress Induced Voiding）モードが信頼性の問題となります。広い配線と細い配線を単一のビアで接続すると、広い配線側の引っ張り応力がビアに集中してCu配線中の欠陥がクリープ現象により、ビア部分に移動してボイドを生成します。（図2-22参照）Cuビアのストレスマイグレーションは、200℃前後に発生温度のピークがあることが知られていますが、この故障はCu配線形成後の高温アニール工程で発生する応力に大きく依存し、短時間で発生するため初期故障の原因となります。

この対策として、設計段階では広い配線と細い配線を接続する部分を複数のビアで接続する方法が用いられます。複数のビアで配線間を接続した場合、1つのビアに応力が集中してボイドが発生すると、もう一方のビアにかかる応力は緩和されてボイドが発生しなくなるため、配線間がオープン不良となることを防ぐことができます。プロセスでは、Cu配線の応力を緩和することや、Cu配線中の欠陥を低減させるプロセス条件を選択するなどの対策が取られます。

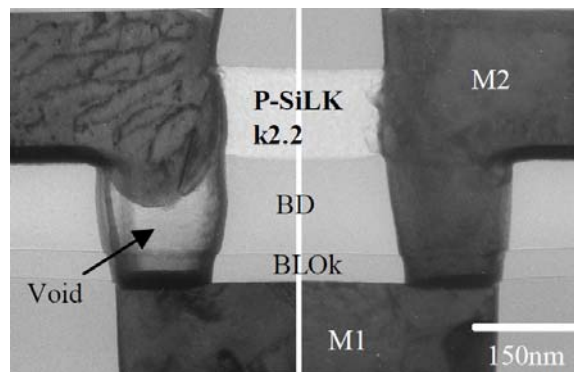


図 2-22 Cu 配線のビアに発生したストレスマイグレーションによるボイド

<参考文献>

- 1) R Kanamura et al., Symp. on VLSI Tech., p.107, 2003

## 2.3 加速モデル

一般的に、半導体デバイスも含めた部品の故障は、原子や分子レベルの何らかの反応によって生じ、Eyring の絶対反応速度論（以下、Eyring モデル）で記述することができます。

この Eyring モデルは、絶対温度  $T$  が信頼性で着目すべき温度領域では、寿命時間  $L$  が、図 2-23 に示す活性化エネルギー  $E_a$ 、故障の誘因となる温度以外のストレス  $S$ 、ボルツマン定数  $k(8.617 \times 10E-5[eV/K])$  より、変数分離形の次式で表されます。

$$L = A \cdot S^{-n} \cdot \exp(E_a/kT) \quad \dots \quad \text{式 2.3.1}$$

ここで、 $A, n$  は定数を示します。

以下、半導体デバイスで用いられる環境ストレスと動作ストレスに関する加速モデルの概要を説明します。

### 2.3.1 環境ストレスにおける加速モデル

#### (1) 温度加速モデル

式 2.3.1 右辺の  $\exp(E_a/kT)$  の部分は、19 世紀に Arrhenius によって経験的に導出された式と同じため、Arrhenius モデルとも呼ばれています。

$E_a$  は活性化エネルギーを示し、単位は eV です。活性化エネルギーは化学的、物理的の反応が進むために必要なエネルギーです。故障メカニズムの化学的、物理的の反応が同じであれば、活性化エネルギーは必然的に同じになります。

$$L = A \cdot \exp(E_a/kT) \quad \dots \quad \text{式 2.3.2}$$

#### (2) 湿度加速モデル

湿度起因による加速モデルは、絶対水蒸気圧  $V_p$ 、または相対湿度  $RH$  を湿度ストレスとして表されます。

以下、代表的なモデルを示します。

##### ① 絶対水蒸気圧モデル

温度ストレスと湿度ストレスを絶対水蒸気圧  $V_p$  で表したモデルで、経験的に適合することが知られています。 $V_p$  は温度に依存するため、Eyring モデルで記述することはできません。

$$L = V_p^{-n} \quad \dots \quad \text{式 2.3.3}$$

##### ② 相対湿度モデル

$V_p$  が温度に依存するため、絶対温度  $T$  と相対湿度  $RH$  の変数分離形することにより Eyring モデルに則する形で表されたモデルで、式 2.3.1 において、 $S = RH$  の場合に相当します。

$$L = A \cdot (RH)^{-n} \cdot \exp(E_a/kT) \quad \dots \quad \text{式 2.3.4}$$

##### ③ Lycoudes モデル

温度、相対湿度と電圧の関数を掛け合わせたモデルもあります。代表例として N.Lycoudes によっ

て報告された Lycoudes モデルと呼ばれている式を以下に示します。

$$MTTF=A \cdot \exp(Ea/kT) \cdot \exp(B/RH) \cdot V^{-1} \quad \dots \quad \text{式 2.3.5}$$

ここで、V は電圧、B は定数を示します。

### (3) 温度差加速モデル

温度差によって生じる応力（熱応力）が繰返し印加されることによって生じる故障に適用され、そのサイクル数 N は、温度差を  $\Delta T$  とすると、式 2.3.1 において、 $S=\Delta T$  と置くことによって、次式で表されます。

$$N=A \cdot \Delta T^{-\alpha} \quad \dots \quad \text{式 2.3.6}$$

[補足]

材料の熱疲労による故障（サイクル寿命）Nf は、低サイクル疲労においては、塑性歪振幅を  $\Delta \epsilon_p$  とすると、次式の Coffin-Manson モデルに従います。

$$\Delta \epsilon_p \cdot Nf^\alpha=C \quad \dots \quad \text{式 2.3.7}$$

ここで、 $\alpha, C$  は材料定数である。

低サイクル疲労においては、繰返しの熱応力による故障は Coffin-Manson モデルに従い、温度差加速モデルはその一形態と考えられます。半導体チップの故障の場合、概ね温度差加速モデルで記述することができますが、パッケージを含む実装の故障の場合には、はんだバンプ接合部の熱疲労寿命などのように、Coffin-Manson モデルを考慮する必要があります。Norris 等によって指摘された温度サイクル周波数と最高温度の影響から修正された Coffin-Manson モデルの変形式を示します。

$$Nf=C \cdot f^m \cdot \Delta \epsilon_p^{-n} \cdot \exp(Q/kT_{MAX}) \quad \dots \quad \text{式 2.3.8}$$

ここで、Nf は疲労寿命、C は材料定数、m と n は指数、f は繰返し周波数、 $\Delta \epsilon_p$  は塑性歪振幅 Q は活性化エネルギー、k はボルツマン定数、 $T_{MAX}$  は使用最高温度を示します。

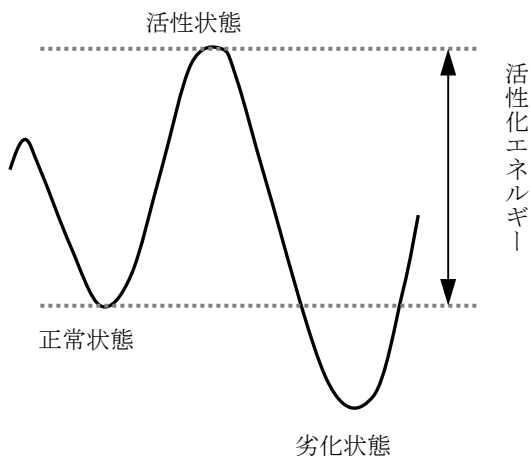


図 2-23 活性化エネルギー

## 2.3.2 動作ストレスにおける加速モデル

半導体デバイスでは、寿命を決める動作ストレスは、電圧、電流、電界強度、電流密度などが挙げられ、2.2.2 項で述べたように故障メカニズムによって異なります。以下、主な故障メカニズムに関する加速モデルを示します。

なお、これらの寿命は、温度にも依存しますので、動作ストレスと温度ストレスの Eyring モデルで表します。

### (1) ゲート酸化膜の経時破壊(TDDB)の加速モデル

TDDB によるデバイスの寿命(TTF)は、ゲート酸化膜厚に依存します。5nm 以上は Eox モデル、2nm より厚く 5nm より薄い場合は Vg モデル、2nm より薄い場合は、Power-law モデルが適切とされています。

#### ① Eoxモデル

$$TTF=A \cdot \exp(-\gamma_{Eox} \cdot Eox) \exp(Ea/kT) \quad \dots \quad \text{式2.3.9}$$

#### ② Vgモデル

$$TTF=A \cdot \exp(-\gamma_{Vg} \cdot Vg) \exp(Ea/kT) \quad \dots \quad \text{式2.3.10}$$

#### ③ Power-lawモデル

$$TTF=A \cdot Vg^n \cdot \exp(Ea/kT) \quad \dots \quad \text{式2.3.11}$$

ここで、 $\gamma_{Eox}$ は電界強度加速係数、 $\gamma_{Vg}$ , nは電圧加速係数、Eoxはゲートにかかるストレス電界、Vgはゲートにかかるストレス電圧を示します。

### (2) ホットキャリア (HC) の加速モデル

ホットキャリアによるデバイスの寿命は、基板電流によって記述される基板電流モデルと、ドレイン電圧によって記述される 1/Vds モデルがあります。0.25um、0.15um 世代以降のプロセスノードは、基板電流以外の要素が大きくなり 1/Vds モデルが適応される傾向にあります。

#### ① 基板電流モデル

$$TTF=A \cdot I_{sub}^{-m} \cdot \exp(Ea/kT) \quad \dots \quad \text{式 2.3.12}$$

#### ③ 1/Vds モデル

$$TTF=A \cdot \exp(B/Vds) \cdot \exp(Ea/kT) \quad \dots \quad \text{式 2.3.13}$$

ここで、m は基板電流依存係数、B は電圧依存係数、Isub はストレス時の最大基板電流、Vds はストレス時のドレイン電圧を示します。

### (3) NBTI (Negative Bias Temperature Instability)の加速モデル

NBTI におけるデバイスの寿命は、以下のような式が使われることが多いです。

$$TTF=A \cdot \exp(\gamma \cdot Eox) \exp(Ea/kT) \quad \dots \quad \text{式 2.3.14}$$

$$TTF=A \cdot Eox^\gamma \cdot \exp(Ea/kT) \quad \dots \quad \text{式 2.3.15}$$

$$TTF=A \cdot Vg^n \cdot \exp(Ea/kT) \quad \dots \quad \text{式 2.3.16}$$

ここで、 $\gamma$  は電界加速係数、 $n$  は電圧加速係数、 $E_{ox}$  はゲート酸化膜にかかる電界強度、 $V_g$  はゲート酸化膜にかかる電圧を示します。

#### (4) エレクトロマイグレーション(EM)の加速モデル

EM 寿命の理論的な取扱いは、Huntington の式が一般的に用いられています。

$$\partial C / \partial t = D \nabla \{ \nabla C - (eZ^*/kT) E \cdot C \} \quad \dots \quad \text{式 2.3.17}$$

ここで、 $C$  は原子濃度、 $D$  は拡散係数、 $Z^*$  は有効原子価、 $E$  は電界、 $e$  は電子の電荷、 $k$  はボルツマン係数、 $T$  は絶対温度を示します。

実際の EM 寿命(TTF)は、経験的に求められた Black の式が広く用いられています。 $T$  は絶対温度、 $j$  は電流密度、 $E_a$  は活性化エネルギー、 $A$  は比例係数、 $n$  は電流密度関数、 $k$  はボルツマン定数です。

$$TTF = A \cdot j^{-n} \cdot \exp(E_a/kT) \quad \dots \quad \text{式 2.3.18}$$

#### <参考文献>

- 1) JEITA EDR-4704A : 半導体デバイスの加速寿命試験運用ガイドライン
- 2) JEITA EDR-4707 : LSI の故障メカニズム及び試験方法に関する調査報告
- 3) JEITA ETR-7024 : 鉛フリーはんだ接合部の信頼性に対するボイド許容基準の標準化に関する調査報告
- 4) N. J. Flood : Reliability aspects of plastic encapsulated integrated circuit, IRPS(1972)
- 5) D. S. Peck : Temperature-humidity acceleration of metal-electronics failure in semiconductor devices, IRPS(1973)
- 6) N. Lycodes : The reliability of plastic microcircuit in moist environments, Solid State Technology(1978)
- 7) T. Gasser : Hot Carrier Degradation in Semiconductor Device
- 8) Comparison of NMOS and PMOS hot carrier effects, IEEE transaction on electron devices(1997)
- 9) H. B. Huntington : Diffusion in Solids, Academic Press(1975)